

フィジカル検証ツール IC Validator

フィジカル・サインオフ
達成までの期間を
最大 1/2 に短縮する
高性能フィジカル
検証ソリューション

概要

シノプシスのフィジカル検証ツール IC Validatorは、現在主流のプロセスから先端プロセスまであらゆるテクノロジー・ノードにおいて高い設計生産性を実現する包括的なサインオフ・ソリューションです。CPUコア2000個を超える分散処理にも対応した業界最高クラスの性能スケーラビリティにより、現在の業界でレチクルの限界とされる数十億個のトランジスタを搭載した最大規模のチップに対する、設計ルール・チェック (DRC)、レイアウト検証 (LVS)、およびダミー・フィルのターンアラウンド・タイム (TAT) を1日以内にまで短縮します。

フィジカル検証ツールのIC Validatorは、Fusion Design PlatformにおいてRTL-to-GDS IIソリューションを提供するFusion Compiler™ および配置配線ソリューションを提供するIC Compiler™ IIとシームレスに統合されます。この統合されたフィジカル検証Fusion Technology™により、インプリメンテーション実行環境内で、独立したサインオフ品質解析と自動リペアの実行が可能となり、製造前のデザイン・クロージャ達成までの期間を短縮できます。

利点

- CPUコア2000個以上の分散処理にもスケーラブルに対応する業界最高クラスのフィジカル検証性能
- TSMCによる認証取得済みのクラウド対応フィジカル・サインオフ
- SoCインテグレーション時のDRC検証時間を1/5に短縮するExplorerテクノロジー
- CPUを動的に追加・削除できる柔軟なCPU管理
- 配置配線ツール内で自動DRCリペア、タイミング考慮フィル、ECO (設計変更指示) 機能を実行できるフィジカル検証Fusion
- LVSを考慮したシミュレーション・ベースのShort Finder
- 寄生抽出ツールのStarRC™、フルカスタム設計環境のCustom Compiler™、およびその他のサードパーティ・レイアウト・ツールとの統合により、設計生産性が向上
- フルカスタム・レイアウト設計ツール内でサインオフ品質のDRCチェックを動的に実行できるLive DRC
- EOS/ESD/ERCルールのカスタム・チェックを可能にするプログラマブル・エレクトリカル・ルール・チェック (PERC)
- 広範な認証およびランセット提供により、主要ファウンドリのサインオフ認証を取得

業界最高クラスの性能とスケーラビリティ

IC Validatorは超並列分散処理に適したアーキテクチャを採用しており、CPUコア数を2000個以上に増やしても性能がスケーラブルに向上します。また、各ジョブはマシンのメモリー・リソース上限を超えないように、メモリーを考慮してスケジューリングされます。IC Validatorには柔軟なCPU管理機能があり、CPUの追加と削除も動的に行えます。また、ディスクとメモリーのバランスを最適化するインテリジェントなファイル管理機能により、マルチホスト環境での性能が向上します。

IC Validatorは高いセキュリティとスケーラビリティを備えたクラウド対応フィジカル検証サインオフ・ソリューションで、TSMCによるサインオフ認証を取得しています。

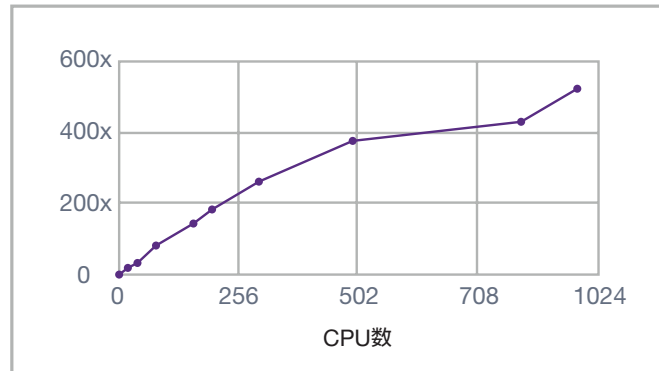


図1：IC Validatorのスケーラビリティ

IC Validatorのスマートな負荷分散テクノロジーは、ジョブの実行状態を継続的に監視し、ジョブがクラッシュした場合は別のCPUコアで再度実行します。CPUコアは動的に追加または削除が可能のため、ジョブの要件とファームの制約に応じてジョブをスマートに調整できます。ジョブのスケジューリングは、必要なメモリー量を事前に見積もり、現在の実行環境に割り当てられたハードウェア構成に合わせて実行されます。このメモリー考慮スケジューリングにより、コンピューティング・ファームのリソースに制約がある場合や、負荷が大きい場合でも、フィジカル検証ジョブの実行効率が常に最大化されます。現在最先端のチップ開発では、必要なCPUコアの数が数百から数千個に達することもあるため、このような機能は欠かすことができません。

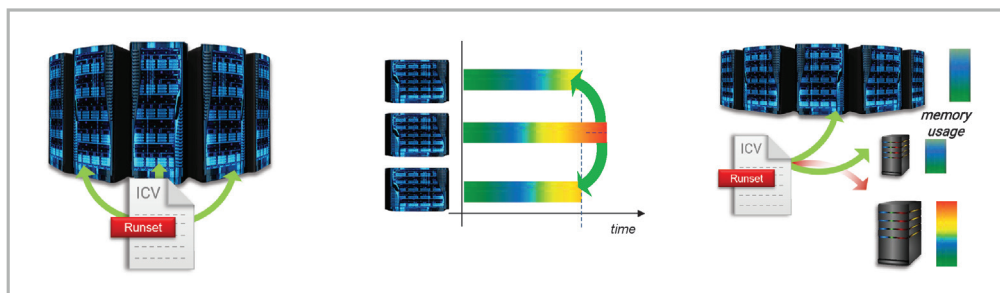


図2：インテリジェントなジョブ管理

IC Validatorの柔軟なCPU管理機能により、設計者は分散処理環境における実行時間を完全にコントロールできます。ジョブの実行は、すべてのCPUが利用可能になる前に開始できます。たとえば、128個のCPUが必要なジョブで16個しかCPUを用意できていない場合でも、その16個だけを使用してジョブをただちに開始できます。その後、利用可能なCPUが増えた時点で、CPUを動的に追加できます。このようにしてジョブをいち早く開始することにより、ジョブの完了を前倒しできます。また、ピーク時には更に多くのCPUを追加することにより、ジョブ実行時間を短縮することもできます。ジョブの実行が進んでCPUが不要になったら、remove_host機能を使用してコンピューティング・ファームの貴重なCPUリソースを解放できます。

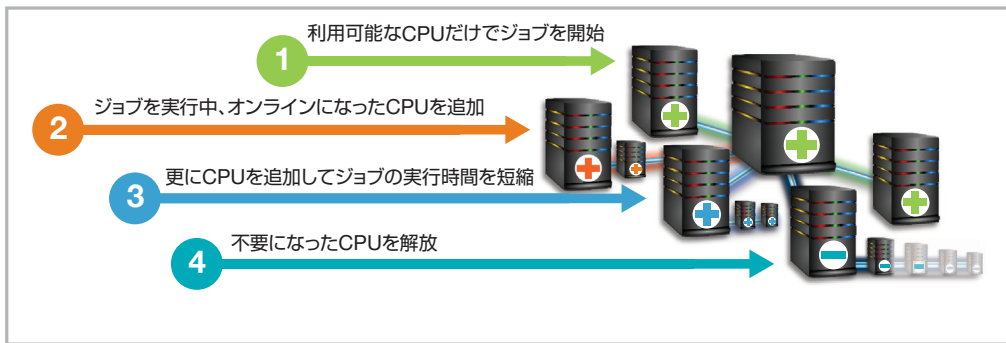


図3：柔軟なCPU管理

Explorer DRC

IC ValidatorのExplorer DRCテクノロジーは、初期のSoCインテグレーション・ステージにおける非常に大規模でダーティなデザインを最終的なフルチップDRCサインオフへと進める方法に革新をもたらします。Explorer DRCを使用すると、SoCインテグレーション時のデザイン検証において1/5のCPUコア数で5倍の処理速度が得られます。また、ヒートマップ・ベースのデバッグにより、デバッグに必要な時間が1桁短縮されます。

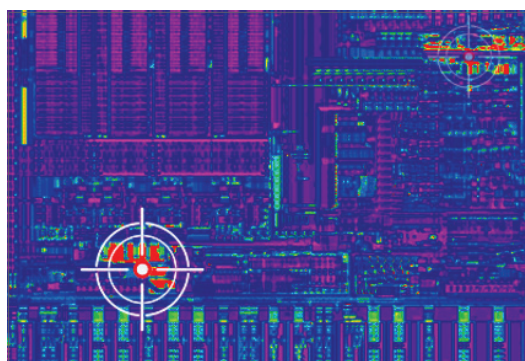


図4：DRCエラーの多発している場所を一目で特定できるExplorer DRC

通常、フルチップ統合の初期段階では、1つのデザインに数百億個のDRCエラーが含まれます。そこで、最初はブロック配置の誤りやフィルの重複など、特に重大なデザインのウィークポイントから重点的に対処する必要があります。ブロック回転の誤りやブロック重複などがあると、設計者が気付かないようなDRC違反が何十億も発生することがあります。何日もかけてDRCを再実行して、ようやく基本的なデザインの欠陥が特定されるということもあります。

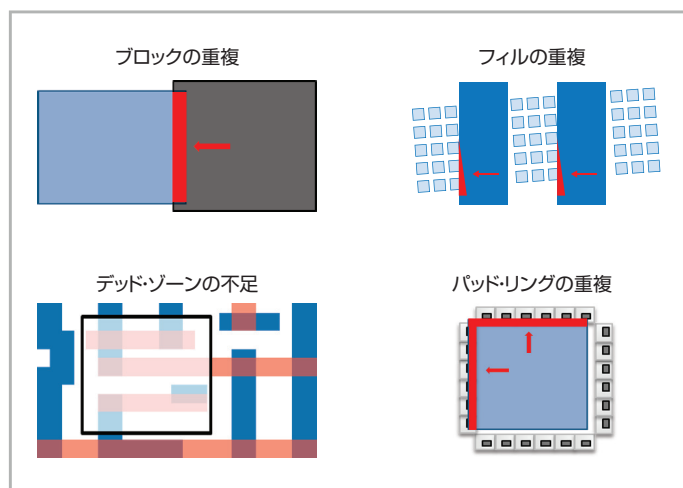


図5：SoCインテグレーション中のデザインのウィークポイントの例

Explorer DRCには、数十億ものDRC違反を短時間でデバッグできるヒートマップ・ベースのデバッグ機能があります。これは、IC Validator内に直接、またはサポートされるレイアウト環境内にVisualization User Environment (VUE) として詳細なヒートマップを表示し、デザインの基本的な欠陥をピンポイントで簡単に特定できるようにする機能です。DRCヒートマップには、DRCエラーのタイプ、密度、位置、混雑度が表示されます。

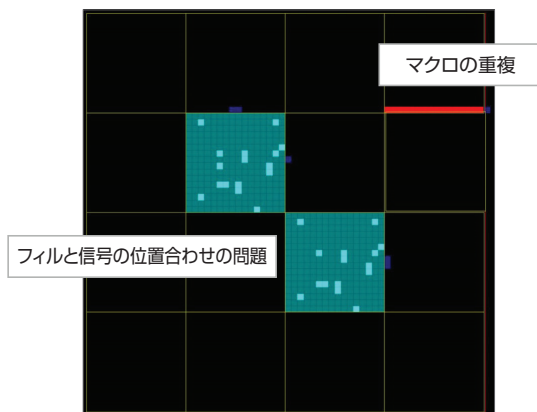


図6：エラーの位置、密度、重大度を視覚的に表示するDRCヒートマップ

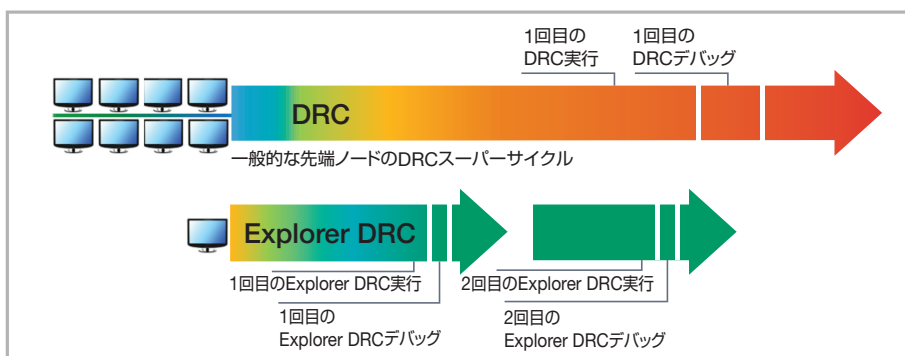


図7：フィジカル・サインオフのTATを短縮するExplorer DRC

フィジカル検証 Fusion Technology

IC Validatorの強かつ完全なサインオフ・フィジカル検証は、設計フェーズのIC Compiler IIからでも、長い時間のかかるレイアウト・データのストリームイン/ストリームアウトなしに利用できます。フィジカル検証Fusionを使用すると、DRCおよび製造性の問題を設計サイクルの非常に早い段階で捉えることができ、テープアウトを目前に控えた最終盤での混乱を軽減または解消できます。

自動DRCリペア

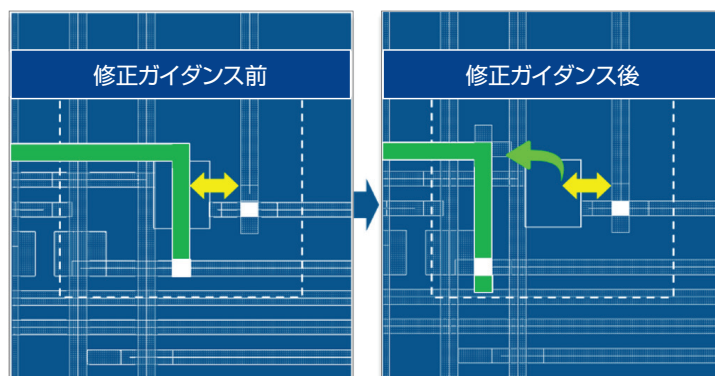


図8：配線ドリブンの自動DRCリペア

IC ValidatorはFusion CompilerおよびIC Compiler IIとシームレスに統合し、DPT分解違反などのDRCエラーを特定して自動リペアを開始する革新的なレイアウト自動修正インターフェイスを提供します。Fusion CompilerおよびIC Compiler IIによって適用されるこれらの修正によってDRCおよびDPTエラーを軽減した後、IC Validatorのフィジカル検証機能を使用してサインオフ・ファウンドリ・ランセットによるバリデーションを実行します。Fusionの統合機能により、インプリメンテーション工程全体でホットスポットのないデザインを維持できるため、イタレーションの回数を更に削減できます。

タイミング考慮フィル

先端ノードで製造容易性を確保して歩留まりを高めるには、フィル挿入が不可欠です。しかしフィルを過剰に挿入すると結合容量が増えてタイミングに影響し、予期しない設計イタレーションが発生することがあります。IC Validatorはタイミング考慮フィルの機能によってこの問題を解決しており、フィル挿入を1回で完了できます。IC Validatorは、このタイミング考慮フィルとFill-to-Targetテクノロジーの組み合わせにより、タイミングと密度のバランスを最適化しており、これまで何度も反復が必要だったフィルと解析を1回で完了できます。先端ノードでは、トラックベースのフィルにタイミング考慮を組み合わせることでフィル密度が向上すると同時に、フィル密度とタイミングへの影響をより柔軟に制御できるようになります。

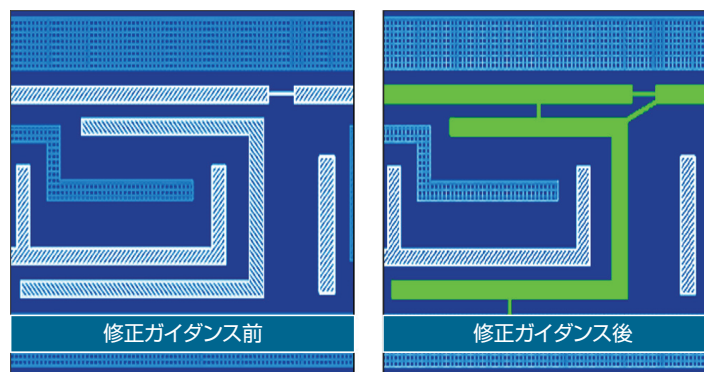


図9：3色および4色パターニング分解と自動スティッチング

一般に、先端ノードでの製造にはダブル・パターニング・テクノロジー（DPT）を使用しますが、そのためにはデザインを2つの重複するレイアウト・パターンに分解できるようにする必要があります。IC Validatorは、DPTルールの柔軟なコーディングに基づいたネイティブなカラーリング（分解）エンジンを搭載するとともに、スティッチング・ルールなどの高度な機能もサポートするなど、ダブル・パターニングを完全にサポートしています。Fusion Technologyにより、IC Validatorはサインオフ品質の分解チェックおよびDPT競合自動修正を可能にしています。

包括的なフィジカル・サインオフ・ソリューション

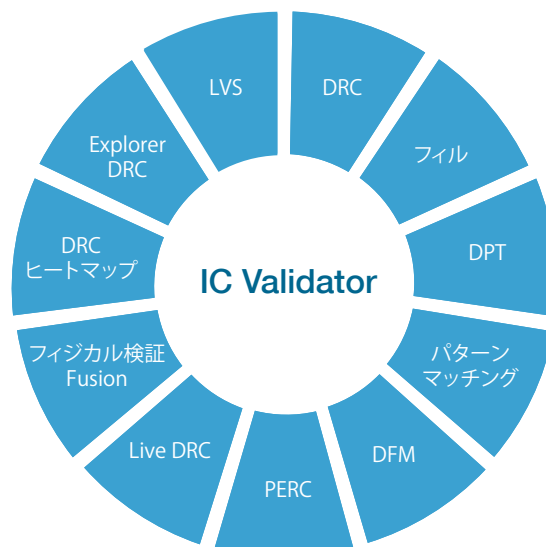


図10：IC Validatorの包括的なフィジカル検証機能

シノプシスのIC Validatorは、高性能かつ包括的なフィジカル検証サインオフ・ソリューションとして豊富な実績を持っています。DRC、LVS、PERC（プログラマブル・エレクトリカル・ルール・チェック）、ダミー・フィル、DFM（Design For Manufacturing）などの機能を網羅したフィジカル検証ツールスイートとして、大手半導体メーカーで数百の量産デザインに採用されています。

ファウンドリ認証

フィジカル検証ソリューションにとって、包括的なファウンドリ認証は欠かすことのできない要素です。IC Validatorはすべての主要ファウンドリからサインオフ認証を取得しており、既に大手ファウンドリの成熟プロセスから先端プロセスまであらゆるノードにおいてFinFET、SOI、および従来テクノロジーの量産への採用実績があります。

パターン・マッチング

IC Validatorには、ルール・ベースのサインオフ・エンジンを効率的に補完するパターン・マッチング機能があり、パターン・ドリブンの検証が可能です。これは、問題のある既知のレイアウト・パターンのライブラリとの照合により、デザインの製造性に影響するホットスポットを素早く特定し、自動で修正する機能です。この特許技術を使用すると、複雑なルールが不要になり、各パターンに対する実行時間増加のペナルティもほぼ発生しません。IC Validatorのパターン・マッチング機能により、製造性の問題解消にかかる時間を大幅に短縮できます。

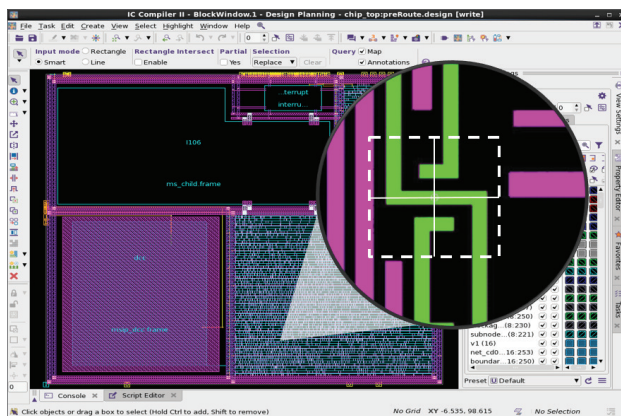


図11：製造性の問題を素早く検出して修正するパターン・マッチング機能

ダブル、トリプル、クワッド・パターニング

一般に、20nm以降のノードでの製造にはダブル・パターニング・テクノロジー（DPT）を使用しますが、そのためにはデザインを2つの重複するレイアウト・パターンに分解できるようにする必要があります。IC Validatorは、DPTルールの柔軟なコーディングに基づいたネイティブなカラーリング（分解）エンジンを搭載するとともに、スティッチング・ルールなどの高度な機能もサポートするなど、ダブル・パターニングを完全にサポートしています。In-Designテクノロジーにより、IC Validatorはサインオフ品質の分解チェックおよびDPT競合自動修正を可能にしています。

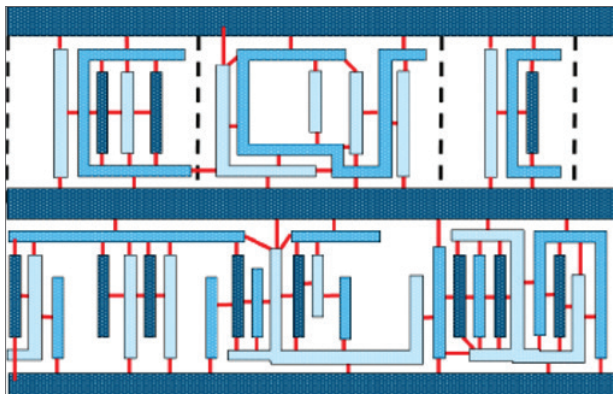


図12：サインオフ品質のダブル、トリプル、クワッド・パターニング検証および修正

PERC

IC ValidatorのPERC（プログラマブル・エレクトリカル・ルール・チェック）は、EOS/ESD/ERCルールに対するカスタム・チェックを可能にする信頼性検証ソリューションです。PERCでは、ネットリスト・ドメイン・チェック（NDC）、ミックスド・モード・チェック（MMC）の他、電流密度（CD）および2点間抵抗（P2P）チェックがサポートされます。IC ValidatorのPERCテクノロジーの優れた性能とスケーラビリティにより、信頼性検証における直感的なデバッグが可能になります。

PERCは、IC Validatorの階層処理性能を利用して、独自のチップレベル・ソリューションを提供します。主な機能は以下のとおりです。

- 抽出ツールStarRCによる電流密度チェック
- 抽出ツールStarRCによる2点間抵抗チェック
- 電圧ベースの間隔チェック
- 全トポロジ・チェック
- 全レイアウト・チェック

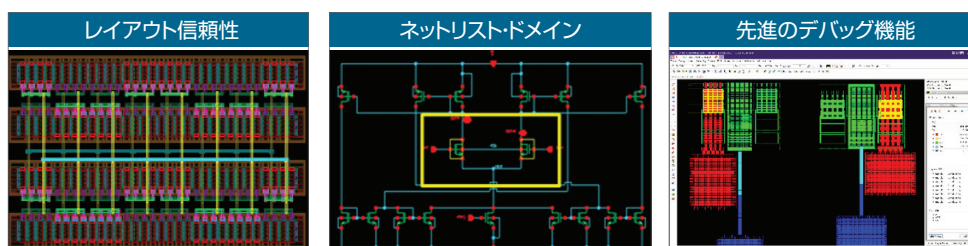


図13：IC Validator PERCによる包括的な信頼性検証

Live DRCチェック

IC ValidatorのLive DRCテクノロジーは、一部レイアウト・ツール内でサインオフ品質のジオメトリ・エンジンとファウンドリ・サインオフ・ランセットを利用して、レイアウト環境のビューポートでサインオフ品質のDRCチェックを可能にする機能です。最初に一度、ユーザーごとにファウンドリ・サインオフ・ランセットをキャッシュに格納しておくだけで、後は設計者が選択したアクティブ・ビューポートに対してDRCチェックが即座に実行されます。カスタム・レイアウト設計者は、レイアウト・キャンバスから直接DRCを実行し、数秒程度でDRCフィードバックを得ることができます。これにより、対話型の設計および検証フローが実現し、設計生産性が向上します。

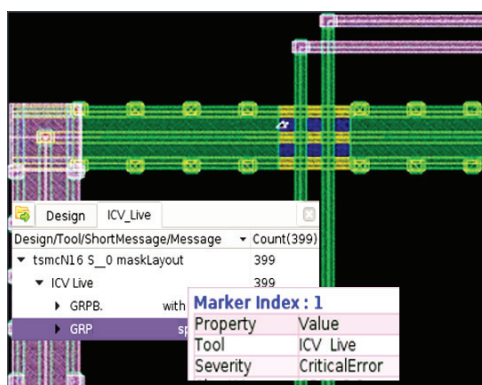


図14：カスタム設計フローにおけるLive DRCチェック

フルカスタム・フレームワーク

IC Validatorは、シノプシスCustom Compilerおよび一部のサードパーティ・ソリューション内でVisualization User Environment (VUE) を利用して、ジョブ実行、レイアウト・エラー・シェイプ・プロービング、回路図クロスプローブに関する完全なインターオペラビリティを実現しています。IC Validatorとポスト・レイアウト抽出ツールのStarRCを組み合わせると、抽出した論理ビューがOpenAccessに書き込まれます。IC Validator LVSでレイアウトから抽出したネットリストをStarRCで使用することにより、Custom CompilerとCustomSim-RAを統合した理想的なEM/IR信頼性解析フローが完成します。

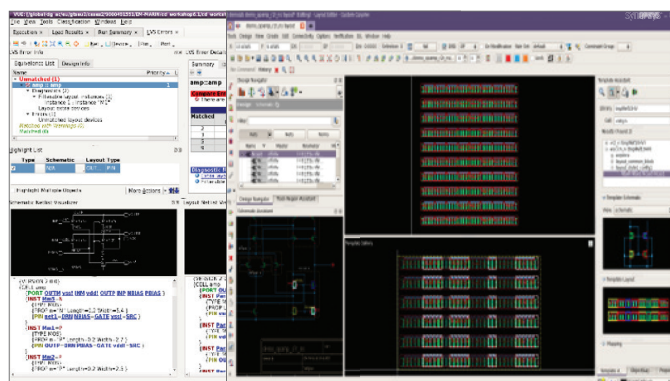


図15：カスタム設計ツールからの実行とデバッグ

レイアウトの可視化：IC WorkBench EV Plusとの統合

IC WorkBench EV Plusは、強力な階層型レイアウト可視化/解析ツールです。小規模なIPブロックから複雑なシステム・オン・チップ (SoC) までGDSIIおよびOASISレイアウトの表示、編集、マージをサポートしています。セルおよびシェイプの階層と配置を容易にデバッグできます。

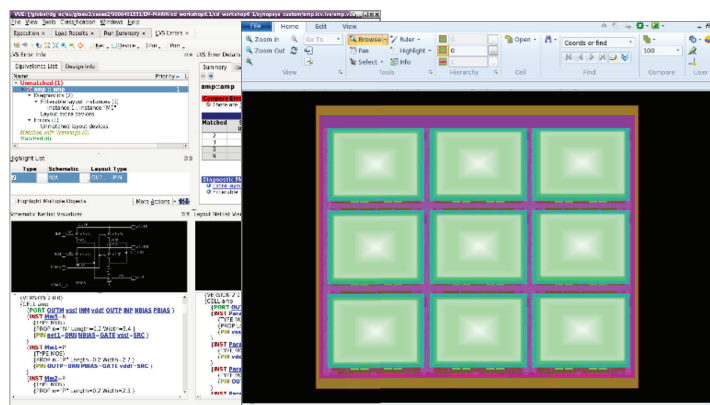


図16：GDS-OASISレイアウトを高速に可視化



日本シノプシス合同会社

〒158-0094 東京都世田谷区玉川2-21-1 二子玉川ライズ オフィス
〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F

TEL.03-6746-3500(代) FAX.03-6746-3535
TEL.06-6359-8139(代) FAX.06-6359-8149