

迎接新一代移动设备模数转换器的低功耗、高速度和高性能设计挑战

作者：Pedro Figueiredo，Synopsys 公司数据转换部主管工程师
2011 年 10 月

消费者对于功能、速度、网络访问的便捷性以及电池寿命的要求正在不断提升，这就要求电子系统必须快速发展以实现更高的性能和更快的运行速度，同时还要维持低功耗。模数转换器（ADC）是所有消费类电子设备中所普遍采用的基本构成模块，它的作用是将模拟信号转换为可处理的数字信号。

系统级性能持续提升，对于数据转换器的要求也随之水涨船高。当前无线和有线宽带通信系统要求具备 10~12 位的高性能 ADC，采样频率 (f_s) 介于 50 至 250 百万采样每秒 (MSPS) 之间。这些 ADC 需要将数十兆赫兹 (MHz)，有时甚至是上百兆赫兹带宽的信号进行数字化处理。此外，它们必须确保达到极低的功耗以延长电池的使用时间或者满足节能环保方面的要求，以及需要采用小型化封装来限制芯片尺寸。当上述设计挑战遇到了严苛的技术需求时，除非采用新型数据转换架构，否则即使按照片上系统 (SoC) 的要求使用更小的工艺节点，也无法再降低它们的功耗了 [1]。

为充分满足各种应用的要求，市场上出现了新一代的高级数据转换器 IP，其中包括采用奈奎斯特率 (Nyquist Rate)¹架构的高性能、高速率，基于高度优化的流水线型 (Pipeline) ADC 产品。

本文描述了在流水线型 ADC 的设计过程中，如何在主要功耗和分辨率之间进行权衡，并讨论了作为关键技术之一的数字增益校准是如何简化权衡过程，进而显著改善功耗和尺寸的。从对 10 位 ADC 的测量结果可以明显看出：采用数字校准后，线性度得到了明显的改善。

这些产品的推出有利于系统架构师和设计人员开发低功耗、高性能的片上系统；通过差异化的解决方案更好地满足各种应用的严格要求。

流水线型 ADC

流水线型 ADC (图 1 所示) 由若干级联电路 (低分辨率)、一个闪速式 ADC (Flash ADC) 和一个数字纠错模块组成。数字纠错模块负责将各级的输出进行合并，以获得高分辨率的输出码。

¹奈奎斯特率架构指理论上能够对带宽最高为采样率一半 ($f_s/2$) 的信号进行数字化。Sigma-Delta 是另外一个主要的转换器类型，用于处理窄带输入信号，并可利用过采样和数字滤波增加分辨率。

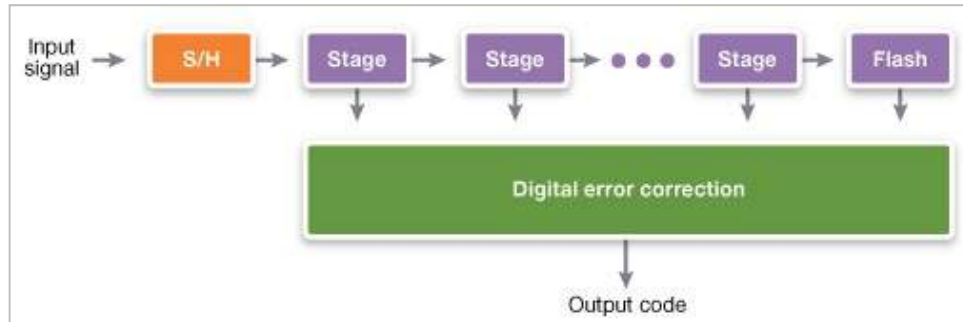


图 1: 流水线型 ADC 的结构框图

根据特定输入信号的要求，ADC 最前端的采样保持 (S/H) 部分可以被去除，在这种情况下，采样操作在降低功耗的同时由第一级级联电路 (the first pipeline stage) 执行。

每个流水线级都由一个低分辨率闪速式 ADC 和一个乘法型数模转换器 (MDAC) 组成，MDAC 通常作为开关电容放大器使用 (见图 2)，运行方式如下：

- 闪速式 ADC 对输入电压 v_i 进行初步量化，并由 MDAC 确定量化过程中的误差 (余数)。
- MDAC 输出电压 (v_o)，即余数，被送往下一级做进一步量化。这样，ADC 输入信号的数字化过程由多个低分辨率的流水线级来分散执行，从而可在高采样率下实现高分辨率，并降低功耗和尺寸。

图 2 显示了传递函数 (余数) 和 1.5 位级²在其两个运行阶段的电路结构。在**采样阶段**，两个电容器 C 和闪速式 ADC 对输入信号进行采样，同时放大器复位。在**放大阶段**，其中一个电容器关闭放大器的负反馈路径，另一个电容器根据闪速式 ADC 的决定连接到 0 或 $\pm V_{REF}$ (ADC 参考电压)。低分辨率闪速式 ADC 有两个比较器，阈值电压为 $v_i = \pm V_{REF}/4$ ，有三个输出码 (d)， $d = -1, 0, +1$ 。这也对应了该级的传递函数图中的三个线段。

² 1.5 位级的概念看似奇怪，它的含义是闪速式 ADC 有 3 个输出码，是 1 位和 2 位 ADC 输出码数量的一半。这种级分辨率被广泛应用于当今的高速流水线型 ADC[2]。1.5 位级与 2 位级等同，其具备的一些特别的优势已在上述文献中进行了说明。

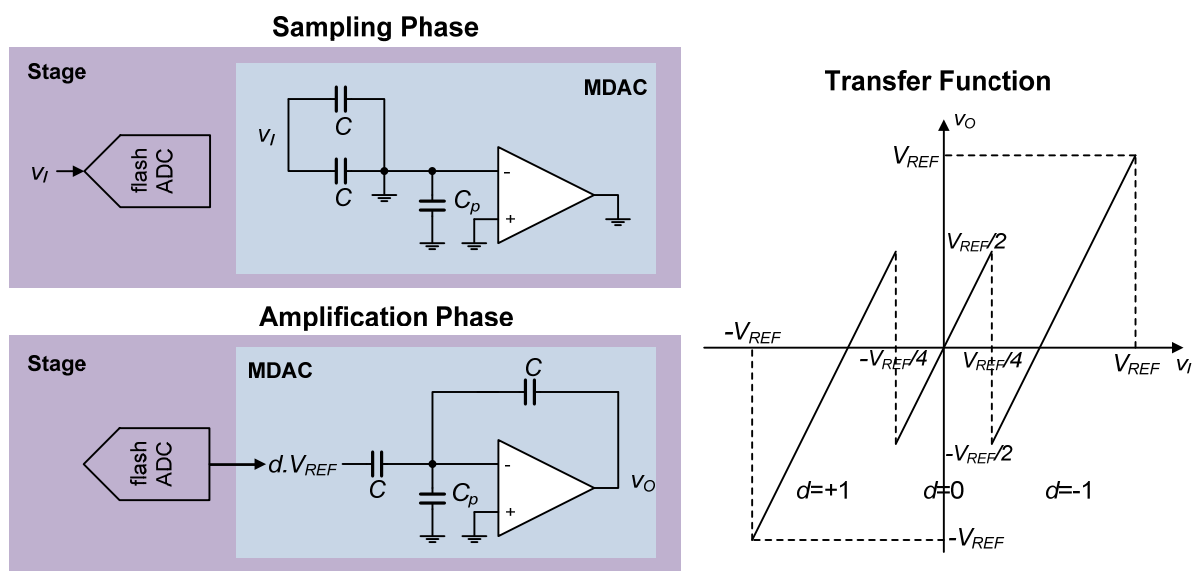


图 2: 1.5 位级的电路结构和传递函数（余数）

在后续的章节中将会讨论到，某些非理想状态的出现会移动或改变图 2 三段传递函数图的斜率。为了实现高性能，开关电容放大器电路必须符合严格的设计标准，这需要在功耗和分辨率之间做一些权衡。

功耗和分辨率的设计权衡

为了让电路更快，或者使 ADC 的采样频率 (f_s) 更高，势必会消耗更多的电能。这是所有权衡中最基本的一项。模拟设计工程师不断试图研究出更加巧妙的技术，以实现在相同效果下更低的耗电量，但在给定的电路或解决方案中，这种权衡是无法超越的现实 [3]。

当 ADC 在给定的采样频率下工作时，需要进行一项基本权衡，即分辨率和功耗之间的权衡[1,3-4]。我们现在探讨一下流水线型 ADC 中出现这种权衡的起因，在以下章节中，还会给出一些权衡技巧。

放大器的有限增益

放大器的有限直流 (DC) 增益直接影响转换器的线性度。随着工艺尺寸的缩小，设计高分辨率流水线型 ADC 所需的高增益放大器变得越来越困难，原因是电源电压持续降低造成晶体管的可堆叠数量不断减少。此外，金属氧化物半导体 (MOS) 晶体管 ($g_m \cdot r_{ds}$) 自身的增益也被降低（由漏极引致势垒降低效应造成），这个问题随着晶体管长度的减少以及栅-源电压 (v_{GS}) 的降低³而变

³随着先进工艺节点上电源电压的降低，必须采用更低的超控电压来给 MOS 晶体管加偏压， $v_{OVD} = v_{GS} - v_{th}$ 。在过去，需要施加偏压以使晶体管进入强反转状态 ($v_{OVD} > 0.2v$)，以达到必要的运行速度。但是，采用现代技术的晶体管即使在 v_{OVD} 很低或为负的情况下也具备很大的特征频率[1]，这可以让设计人员使用较低的超控电压。

得越发突出[5]。而且，碰撞电离会导致饱和 MOS 晶体管中漏极到衬底之间产生电流。这一效果产生于漏极和衬底之间的电导[5]，它的存在会降低漏极输出电阻，甚至会削减级联晶体管的效果。

所有这些因素都会限制给定的放大器架构中的直流增益的大小。提高增益的传统方法是通过增加放大器内部的级数或者采取增益提升技术，该技术的原理是增加几个可用于控制主放大器中部分级联晶体管栅极电压的额外的放大器。这两种方法都会增加放大器的复杂程度，因此在各种工艺、工作电压和温度（PVT）条件下都很难有上佳表现，也就是说两种方法都会增加功耗，这就是技术的发展并不一定能够使模拟电路的功耗显著降低的原因。

ADC 分辨率和功耗之间的权衡表现在：要想得到更高的分辨率，通常需要采用具有更高增益的放大器，然而，这会导致电路更加复杂从而提高功耗。

元件不匹配

制造缺陷会造成元件不匹配、电容器产生偏差，并且在放大器和闪速式 ADC 比较器中产生偏移电压。这些偏移电压会对图 2 所示传递函数图像的三个部分造成位移；然而只要输出电压 v_o 不超出 $\pm V_{REF}$ 就没有问题，不过，某些极端输入范围的情况除外（即 $v_i \approx \pm V_{REF}$ ），需要在设计时注意这一条件。

相反，两个电容器 C 之间的随机偏差⁴会直接导致 ADC 传递函数的非线性。由于电容器不匹配而引起的标准偏差与电容值的平方根 \sqrt{C} 呈反比关系，所以通常采取增大电容的方法来提高分辨率。但是，这意味着需要消耗更多的电能来为电容器充电，因此产生了功耗与分辨率的权衡问题。

电气噪声

电气噪声也会对功耗与分辨率的权衡造成影响。在一个给定的 ADC 完整的输入范围内，其信噪比（SNR）由量化误差和 MDAC 的电气噪声决定。MDAC 中总噪声功率与 kT/C 成正比，其中 k 代表波尔兹曼常数，T 代表温度，C 是图 2 中的单位电容⁴。比例常数取决于所使用的放大器、电荷守恒节点的寄生电容 C_p 以及在放大阶段被打开的开关的电阻。事实上，如果放大器和开关已经进行了优化，要想进一步降低噪声，只有增大电容。同样，更高的分辨率意味着更大的电容，会消耗额外的电能。

最后，电源电压的降低以及由技术发展而带来的放大器复杂程度的增加会促使 MDAC 中的信号范围降低。为了维持良好的 SNR，必须实现更低的噪声功率，这意味着进一步增加电容，最终使功耗增加。

⁴ 为便于讨论，我们假设采用单级放大器。

功耗与分辨率的设计权衡

高级芯片技术具备的更强大的数字处理能力可以抵消上述的基本设计权衡问题，进而在降低功耗的同时提高 ADC 速度和性能。事实上，由电容器的不匹配和放大器的有限增益造成的局限性可以通过数字校准来克服，其结果是电容器的大小不再取决于匹配问题，而且可以使用非常简单的放大器。最终得到的 ADC 解决方案功耗更低、抗 PVT 变化的能力更强，而且可以轻松扩展到更先进的工艺节点上。

数字校准电路

数字增益校准的原理如图 3 所示，图中显示了一个带增益误差 (G_e) 的 MDAC，其后伴有后端 ADC（所有后续级所处的位置）；图中还显示了在数字误差校正模块中执行的输出码收集操作。增益校准是通过将后端 ADC 的输出乘以 $1/G_e$ 来完成，从而在数字域中对 MDAC 的（模拟）增益误差进行补偿。此原理还可以在多个 MDAC 级中嵌套执行。对级联电路的增益误差进行有效校准后，系统就可以采用更加简单的放大器，从而显著降低功耗。

在 1.5 位级情况下，数字增益校准同样可以对图 2 所示两个电容器 C 之间的不匹配问题进行自动校准。由于在等式中排除了两个不理想的因素（即电容器的不匹配和放大器的有限增益），因此在设计中可以采用更加简单的放大器，而且执行过程中只需考虑噪声指标。应注意到数字校准虽然不能降低噪声，但可以降低 MDAC 级在给定 SNR 下的噪声功率指标。这是因为使用简单的放大器可以将信号偏移最大化，从而进一步降低功耗。

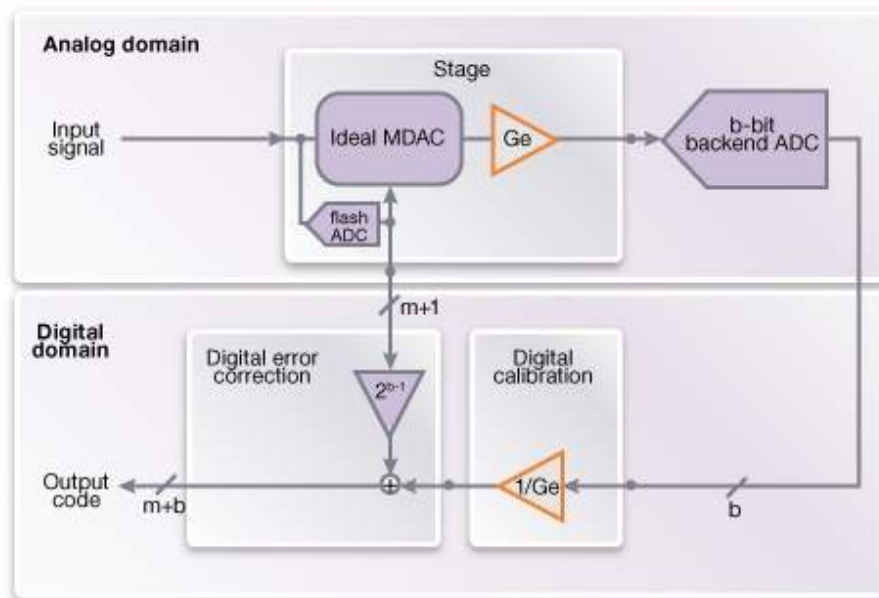


图 3：MDAC 级数字增益校准原理

为有效进行数字校准，需要找到正确的系数值。以下介绍两种基本方法：

- 在 ADC 启动时触发的**前景式校准**。这种方法可以加速启动过程，但是，除非系统允许 ADC 经常执行校准循环，否则系数无法进行更新。电源电压或温度的变化可能会改变放大器增益，如果不对系数进行定期调整，会因数字系数不再适合系统运行而降低 ADC 的性能。

- 在 ADC 量化输入信号过程中运行的**背景式校准**。背景式校准的方法有数种，其中一种比较有趣的方式是给 MDAC 输入伪随机（pseudo-random）信号，然后将 ADC 的输出与这些随机信号进行关联，从而得到最佳的调整系数。通过关联可以找出校准系数的误差。而且，进入 MDAC 的随机序列可作为颤动信号（dither signal），用于改善 ADC 的无杂散动态范围（SFDR）和总谐波失真（THD）。与前景式校准相比，这种方法通常需要更长的时间来获得正确的系数值（即显著增加的 ADC 的启动时间），但其优势在于可以根据温度和电源电压的变化调节系数。

最有趣的方法是将二者结合使用：在 ADC 启动时，正确的系数值通过前景式校准获得；之后，利用背景式算法在运行过程中根据电源电压或温度变化不断调整系数。这样，就能把前景式校准和背景式校准的优势融合起来：既可以实现快速启动，又可以不断调整校准系数值，还能改善 SFDR 和 THD。

与仅采用了模拟设计优化技术的上一代 ADC 相比，带数字校准功能的新一代流水线型 ADC 的优势显而易见。新一代 ADC 能够在过去 2~3 倍的范围内降低功耗，简化后的放大器可以实现更高的采样率而且尺寸仅为前一代产品的一半。与模拟组件不同，数字校准模块可以直接得益于技术升级；例如，当从 65nm 移植到 40nm 工艺时，面积可以减半。

测量结果

通过将测量到的代码转换电压与理想 ADC 进行比较，可以体现出数字校准技术的优势。一般通过积分非线性（INL）和微分非线性（DNL）平面图来说明比较结果，并将最低有效位（LSB）作为 INL 和 DNL 的单位：

- DNL 用来衡量 ADC 每个量化水平的间隔误差。DNL 为 0 表示代码具有理想的宽度；DNL 等于 1LSB 表示代码宽度是理想值的两倍；DNL 等于 -1LSB 代表代码丢失（即代码宽度为零）。

- INL 值代表 ADC 代码的实际转换电压与理想转换电压之间的差异。例如，如果代码 n 对应的 INL 为 0.75LSB，就意味着在代码 $n-1$ 和代码 n 之间过渡的输入信号电压相对于理想位置移动 0.75LSB。

图 4 (a) 与图 5 (a) 对新一代 10 位 ADC 正常运行下（使用数字校准）的 DNL 与不使用数字校准时得到的 DNL 进行了比较。在图 5 (a) 中出现了很多丢失代码（当 $DNL = -1LSB$ 时）；但在图 4 (a) 中，由于使用了数字校准功能，情况有了明显改善，DNL 一直处于 0 附近。

图 4 (b) 与图 5 (b) 对该 ADC 在上述相同条件下的 INL 进行了比较。当使用数字校准时，INL 同样得到了明显改善，从 50LSB 附近降低到了 0.3LSB。

刚刚已经提到，新的降低功耗的方法是通过使用非常简单的、低功耗且低增益的放大器来实现的。结果显示 MDAC 中放大器的直流增益确实很低，而且说明数字校准法可以完全克服增益限制，实现几乎具有理想线性度的 ADC。

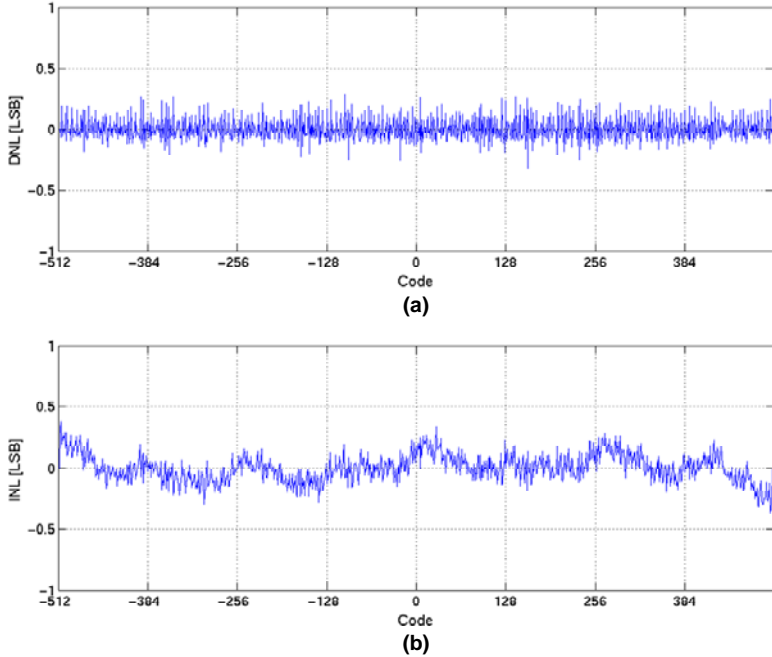


图 4: 10 位 ADC 在使用数字校准时的 (a) DNL 和 (b) INL

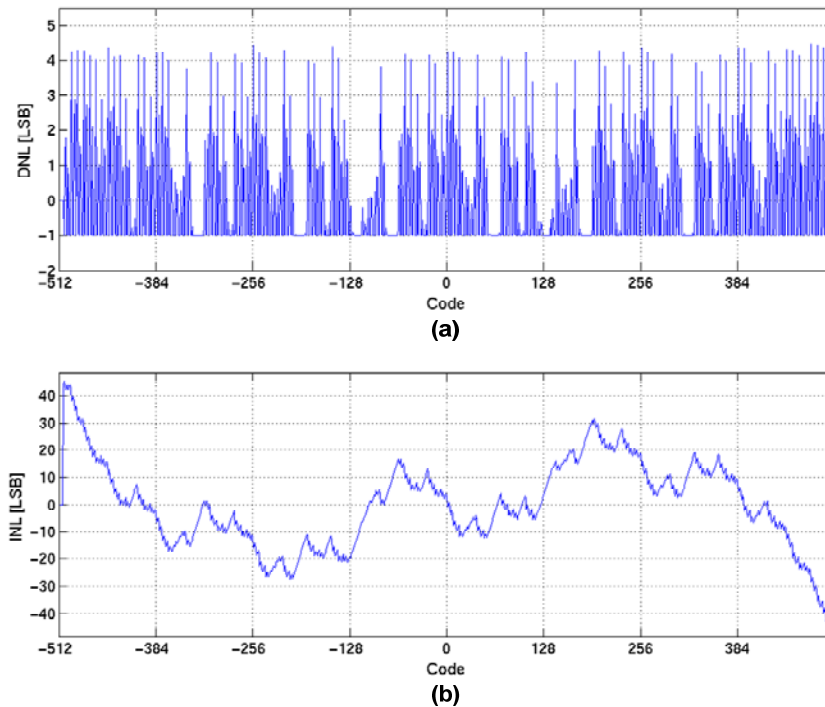


图 5: 10 位 ADC 在数字校准关闭情况下的 (a) DNL 和 (b) INL

总结

为了获得最优的架构选择，SoC 设计者需要理解系统中每个模块的运行情况和主要设计权衡。在与芯片 IP 供应商讨论技术指标和要求时，这些知识至关重要。

流水线型是所有奈奎斯特率架构 ADC 中最灵活的一种，可覆盖广泛的分辨率和采样频率。在给定采样率下，需要对分辨率与功耗进行基本权衡，这主要是由于电容器不匹配、放大器有限增益和电气噪声所引起的。

新一代高速、高分辨率流水线型 ADC 采用数字校准技术突破了电容器不匹配和放大器有限增益带来的局限。它还可以降低 MDAC 级在给定 SNR 下的噪声功率指标，原因是简单的放大器可以将信号偏移最大化。

10 位 ADC 的测量结果可以清楚地体现数字校准技术的巨大优势，当使用该技术时，线性度得到显著改善。此外，通过与不含数字校准技术的上代 ADC 比较可以看出，在采样率得到至少 2 倍显著提高的情况下，新型 ADC 的功耗和尺寸比以前更小。也就是说新型转换器较上一代解决方案而言，速度更快，功耗更低，尺寸更小。

流水线型 ADC IP 的最新发展为系统架构师和设计者提供了差异化解决方案，可以帮助他们开发低功耗、小型化和高性能的 SoC，同时满足当今先进的消费类电子应用的严格要求，使他们能够交付在性能、尺寸和功耗方面都无与伦比的竞争产品。

参考资料

[1] B. Murmann, “A/D 转换器趋势：功耗、扩展和数字辅助架构”，《IEEE 定制集成电路会议论文集》，105-112 页，2008 年 9 月。

[2] S. Lewis *et al.*, “10-b 20-Msample/s 模数转换器”，《IEEE J. 固态电路》，351-358 页，1992 年 3 月。

[3] C. Toumazou, G. Moschytz 和 B. Gilbert, 《模拟电路设计权衡——设计者指南》，Kluwer Academic 出版社，2002 年。

[4] K. Uyttenhove 和 M. Steyaert, “高速 CMOS ADC 中的速度、功耗、精确度权衡”，《IEEE 电路与系统汇刊 II》，280-287 页，2002 年 4 月。

[5] Y. Tsividis 和 C. McAndrew, 《MOS 晶体管操作与建模 第三版》，牛津大学出版社，2011 年。

Synopsys 拥有超过 15 年的数据转换 IP 解决方案开发经验，其丰富的产品线包括 200 多个经过硅验证的 DesignWare®数据转换器 IP 解决方案，例如过采样 Sigma-Delta ADC、流水线型 ADC、SAR ADC、电流舵（Current-Steering）DAC 等等。DesignWare 数据转换器 IP 产品具有低功耗、小尺寸的优势，支持广泛的工艺制程，涵盖 180nm 至 40nm 代工工艺。更多信息，敬请访问：

www.synopsys.com/IP/AnalogIP/DataConversion

为了充分满足各种应用的所有要求，我们推出了高级数据转换器 IP，其中包括采用奈奎斯特率（Nyquist Rate）架构的高性能、高速率，基于高度优化流水线型（Pipeline）的 ADC 产品。本文描述了在流水线型 ADC 的设计过程中，如何在主要功耗和分辨率之间进行权衡，并讨论了作为关键技术之一的数字增益校准是如何简化权衡过程，进而显著改善功耗和尺寸的。从对 10 位 ADC 的测量结果可以明显看出，采用数字校准后，线性度得到了明显的改善。